

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-068177

(43)Date of publication of application : 17.06.1978

---

(51)Int.Cl.

H01L 29/78  
H01L 21/265  
H01L 21/283  
H01L 29/06  
H01L 29/60

---

(21)Application number : 51-143570

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.11.1976

(72)Inventor : KONAKA MASAMIZU  
NIHEI HIROYUKI  
HORIUCHI SHIGEHARU

---

(54) MOS TYPE FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To produce a MOSFET capable of obtaining a high threshold value by inhibiting short channel effect without requiring any laborious process despite possession of short channels.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## 公開特許公報

昭53—68177

⑤Int. Cl.<sup>2</sup>

識別記号

⑥日本分類

庁内整理番号

④公開 昭和53年(1978)6月17日

H 01 L 29/78

99(5) E 3

6603—57

H 01 L 21/265

99(5) B 1

6684—57

H 01 L 21/283

99(5) C 23

7377—57

発明の数 1

審査請求 有

H 01 L 29/06

H 01 L 29/60

(全 5 頁)

④MOS型電界効果トランジスタ

東京芝浦電気株式会社総合研究  
所内

①特 願 昭51—143570

⑦発 明 者 堀内重治

②出 願 昭51(1976)11月30日

川崎市幸区小向東芝町1番地

⑦発 明 者 小中雅水

東京芝浦電気株式会社総合研究  
所内

川崎市幸区小向東芝町1番地

東京芝浦電気株式会社総合研究  
所内

⑧出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

同 仁平裕之

④代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地

## 明 細 書

## 1. 発明の名称

M O S 型電界効果トランジスタ

## 2. 特許請求の範囲

半導体基板中の1個のソース領域とドレイン領域との間にシヨートチャンネルを有するM O S 型電界効果トランジスタにおいて、前記チャンネル上に少くとも1個の絶縁膜を形成するか、もしくは前記チャンネル中に基板と同導電型の不純物を拡散するかして、前記チャンネルを互いに幅方向に離隔した複数のナロウチャンネルにし、このナロウチャンネルによる効果でシヨートチャンネル効果を相殺するようにしたこと、を特徴とするM O S 型電界効果トランジスタ。

## 3. 発明の詳細な説明

この発明はシヨートチャンネルを有するM O S 型電界効果トランジスタに関する。

一般にM O S 型電界効果トランジスタにおいてはチャンネル長L及びチャンネル幅Wを変え

るとしきい値電圧が変化することが知られている。例えば、ソース領域並びにドレイン領域の拡散深さ $x_j$ を1.5  $\mu$ m、チャンネル幅Wを50  $\mu$ m、ドレイン電圧 $V_D$ を5 Vにし、基板バイアス電圧 $V_{sub}$ を夫々-5 V、0 Vにして測定した場合チャンネル長Lに対するしきい値電圧 $V_{th}$ は第1 a 図に示すように、チャンネル長Lが短くなるのに従って小さくなる。なお、このしきい値電圧はドレイン電圧 $V_D$ 、基板バイアス電圧 $V_{sub}$ 並びに拡散深さ $x_j$ によつて異なる。また、チャンネル長を短くすると、加工精度によるチャンネル長のバラツキが大きくなり、結果としてしきい値電圧のバラツキが増大して動作不安定となるため好ましくない。

上記のようなシヨートチャンネル効果を少くする方法として、<sup>(1)</sup>ソース領域並びにドレイン領域の拡散を浅くする方法、<sup>(2)</sup>チャンネル部中に不純物をイオン注入し、チャンネル部の基板側膜を局部的に高め、シヨートチャンネル効果によつてしきい値が変化するのを補正する方法、

並びに(8)チャンネル部の基板表面に凹状露部を形成する方法が知られている。しかし、(1)の方法は電極取出しの際の電極金属、例えばAuのソース領域並びにドレイン領域のつき抜け現象や拡散耐圧の低下が生じる。また(2)の方法では、設計値通りの素子特性を得るためには、イオン注入後の熱処理によつて注入された不純物の分布が変わることを考慮しなければならない等、製造上困難が生じるばかりでなく高価なイオン注入装置を必要とする等の問題もある。そして(8)の方法では、濃度は少くとも拡散深さ $x_j$ と同程度まで深くしないと効果が得られず、このような深い露の形成は製造上面倒であり、製造工程も複雑となる欠点がある。

一方、MOS型電界効果トランジスタにおいては、チャンネル幅が狭くなると、第1b図に示すように、前述のショートチャンネル効果と逆の現象が生じることが知られている。この現象はナロウチャンネル効果と云われ、ゲート電圧の印加によつて形成される空乏層のゲート両

端部における空乏層によつて生じる電荷が狭いチャンネルのMOS型電界効果トランジスタにおいて素子全体の電荷に対して無視できなくなり、これがしきい値電圧を増加させるためである。

また、従来のMOS型電界効果トランジスタにおいてはフィールド領域に反転層防止用にイオン注入された不純物が、後の熱処理中にチャンネル部に再拡散し、しきい値電圧を高める結果となる。したがつて、チャンネル幅の狭いトランジスタに対しては、これらの現象を利用してショートチャンネル効果を防止することが可能であるが、チャンネル幅の広いトランジスタに対してはナロウチャンネル効果が現れないためナロウチャンネル効果とショートチャンネル効果とを併用することができない。

したがつて、この発明の目的はショートチャンネルを有しているのにもかかわらず、ショートチャンネル効果を、面倒な製造工程を要することなく、阻止し高いしきい値電圧の得られる

MOS型電界効果トランジスタを提供することである。

以下に、この発明の一実施例に係るMOS型電界効果トランジスタを添付図面を参照してその製造方法の一例を説明する。

まず、約 $10^{-18} \text{ cm}^{-3}$ の不純物濃度のP型シリコン基板10を用意し、これを洗浄した後、約 $1000^\circ\text{C}$ のステーム中で約280分間熱酸化して基板10の表面に厚さ約 $1 \mu\text{m}$ の酸化膜11を第2a図に示すように形成する。次に、第2b図並びに第2c図に示すようにソース領域、ドレイン領域並びに多数のチャンネルとなる部分の酸化膜11を除去する。この結果、酸化膜11はフィールド酸化膜11aと、多数のチャンネルに分割するように互いに横方向に所定間隔を有して位置するチャンネル分割用酸化膜11bとして残される。そして、基板10上面に、これの露出部をも被覆するように厚さ約 $1000 \text{ \AA}$ のゲート酸化膜12並びにこの上にゲート電極となる多結晶シリコン層13

を順次、第2d図に示すように形成する。次に、第2e図に示すように、ソース領域並びにドレイン領域上に位置する多結晶シリコン層13並びにゲート酸化膜12を順次エッチング除去する。次にこの除去した部分より露を基板10中に拡散してN<sup>+</sup>型のソース領域14並びにドレイン領域15を第2f図並びに第2g図に示すようにして形成し、後は図示していないが通常の方法にて、ソース電極並びにドレイン電極を夫々領域14、15に取付してMOS型電界効果トランジスタを完成する。

以上のようにして形成されたトランジスタは、第2g図に示すように、ソース領域14とドレイン領域15との間に位置するチャンネルが頗る短く形成されており、かつ酸化膜11bにより、横方向により多数に分割されている。このために、ショートチャンネルではあるが、個々のチャンネルが幅の狭い、いわゆるナロウチャンネルとして働き、このためにしきい値電圧の低下が生じない。

即ち、上記構成のトランジスタで、チャンネル幅  $W$  が  $4\ \mu\text{m}$  のものを 8 個並設にして、チャンネル長  $L$  を変化させた場合と、従来のように 1 個の広い幅 ( $24\ \mu\text{m}$ ) のものでチャンネル長  $L$  を変化させた場合との特性比較は第 8 図で示すように本願のものの方がはるかにしきい値電圧が高くなる。ここで、ドレイン電圧  $V_D$  は  $5\ \text{V}$ 、拡散深さ  $x_j$  は  $1.5\ \mu$ 、基板バイアス電圧  $V_{\text{sub}}$  は  $0\ \text{V}$  にし、曲線  $a$  が本願の特性、曲線  $b$  が従来の特性を夫々示す。

この発明の思想はコプレーナ型トランジスタにも適用でき、以下に第 4 a 図ないし第 4 g 図を参照してその製造方法と共に説明する。

まず P 型シリコン基板 20 上に酸化膜 21 並びに窒化膜 22 を順次形成し、この上にホトレジスト 23 を塗布してから、ソース領域並びにドレイン領域および多数のチャンネルが幅方向に互いに離間して形成される部分以外の酸化膜 22 をホトレジスト 23 を使用した選択エッチング法により除去する。次に、上記構成された

窒化膜 22 をマスクとしてボロンを基板 20 中に、酸化膜 21 を介してイオン注入し、P<sup>+</sup>型の高不純物層 24 を酸化膜 21 の直下に形成する。そしてホトレジスト 23 を除去した後、窒化膜 22 をマスクとしてフィールド酸化膜 25 を、高温酸化により、第 4 b 図に示すように形成する。次に、上記窒化膜 22 並びにこの直下の酸化膜 21 を除去して第 4 c 図並びに第 4 d 図に示すようにソース領域並びにドレイン領域が形成される部分およびチャンネルが形成される部分の基板 20 を露出する。そして基板 20 の上面全体に渡ってゲート酸化膜 26 並びに、この上に多結晶シリコン層 27 を順次、第 4 e 図に示すように形成する。次に、これらゲート酸化膜 26 並びに多結晶シリコン層 27 のうちソース領域並びにドレイン領域が形成される部分を除去して、基板 20 を露出し、ここから溝を拡散してソース領域 28 並びにドレイン領域 29 を、第 4 f 図並びに第 4 g 図に示すように形成する。後は、図示していないが通常の

方法で、ソース電極並びにドレイン電極を各領域に取着してトランジスタを完成する。

以上説明した、実施例の電界効果トランジスタにおいても、酸化膜により、ソース領域とドレイン領域との間のチャンネルを幅方向に多数に分割しているの、最初の実施例と同様に、ナローチャンネル効果を奏することができる。

上記各実施例は、酸化膜によりチャンネルを分割した場合についてであるが、この発明においては、基板と同導電型の高不純物領域をチャンネル中に形成して、これを分割しても良く、例えば第 5 図に示すようにソース領域 30 とドレイン領域 31 との間のチャンネル部に、両領域間に渡って延び互いに幅方向に所定間隔を有して位置する多数の高不純物領域 32 をイオン注入法により形成しても良い。この場合には、図示しないがゲート酸化膜並びにこの上に多結晶シリコンゲート電極がチャンネル部上に形成されていることは勿論である。

なお、上記実施例では、多結晶シリコンをゲ

ート電極に使用した場合につき説明したが、金属、例えば Al で形成しても良く、またローチャネル型に限らずローチャネル型でも良い。

以上説明したように、この発明の MOS 電界効果トランジスタにおいては、シヨートチャンネルを絶縁層もしくは高不純物領域により、幅方向に互いに離間するナローチャンネルに分割しているの、シヨートチャンネル効果をナローチャンネル効果で相殺することができるので、しきい値電圧が低下するようなことはない。しかも、この製造方法は、実施例の説明で理解できるように、余分な拡散や、工程を必ずしも必要としないので製造上頗る有利である。

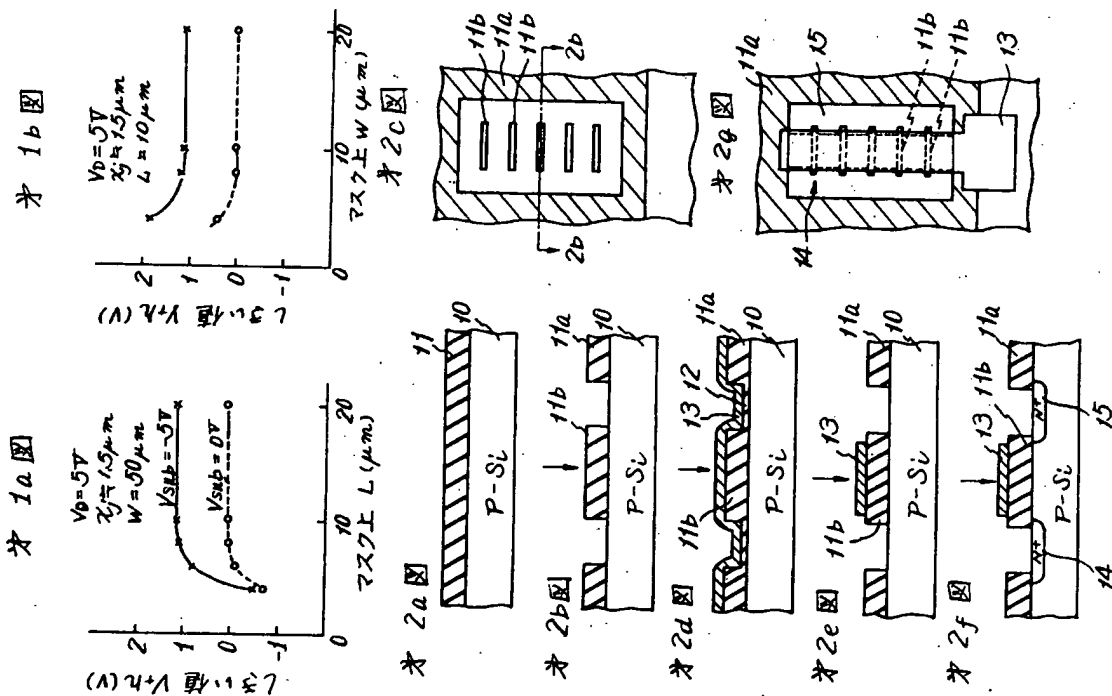
#### 4 図面の簡単な説明

第 1 a 図並びに第 1 b 図は夫々シヨートチャンネル効果並びにナローチャンネル効果を説明するための特性曲線図、第 2 a 図ないし第 2 g 図はこの発明の一実施例の MOS 電界効果トランジスタの製造方法を説明するための工程図、第 3 図は上記実施例の構成のトランジスタと従

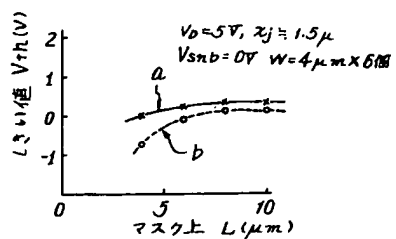
来のトランジスタとのしきい値電圧の比較を示す特性曲線図。第4a図ないし第4g図は他の実施例のMOS型電界効果トランジスタの製造方法を説明するための工程図、そして第5図は他の実施例のトランジスタの平面図である。

- 10…シリコン基板
- 11a…フィールド酸化膜
- 11b…チャネル分割用酸化膜
- 12…ゲート酸化膜
- 13…多結晶シリコン層
- 14…ソース領域
- 15…ドレイン領域

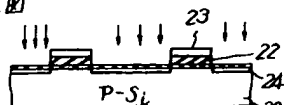
出願人代理人弁理士 鈴 江 武 彦



※ 3 図



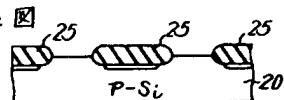
※ 4a 図



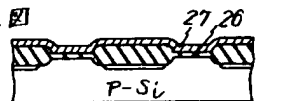
※ 4b 図



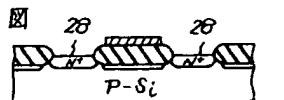
※ 4c 図



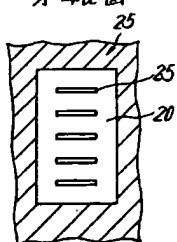
※ 4e 図



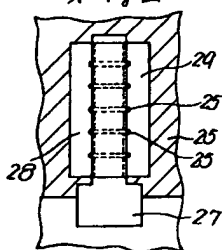
※ 4f 図



※ 4d 図



※ 4g 図



※ 5 図

